

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



Docket No.: S&ZFH031002

I hereby certify that this correspondence is being deposited with the United States Postal Service as First Class Mail in an envelope addressed to the Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date indicated below.

By: Markus Nolff Date: February 10, 2004

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applic. No. : 10/698,074
Applicant : Karl-Friedrich Becker, et al.
Filed : October 30, 2003
Title : Method for Producing Encapsulated Chips
Docket No. : S&ZFH031002
Customer No. : 24131

CLAIM FOR PRIORITY

Commissioner for Patents,
P.O. Box 1450, Alexandria, VA 22313-1450

Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119,
based upon the German Patent Application 102 50 621.3, filed October 30, 2002.

A certified copy of the above-mentioned foreign patent application is being submitted
herewith.

Respectfully submitted,

Markus Nolff
For Applicant

Markus Nolff
Reg. No. 37,006

Date: February 10, 2004

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/av

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 50 621.3

Anmeldetag: 30. Oktober 2002

Anmelder/Inhaber: Fraunhofer-Gesellschaft zur Förderung der angewandten Forschung eV, München/DE

Bezeichnung: Verfahren zum Erzeugen verkapselter Chips

IPC: H 01 L 21/50

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 10. Dezember 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Ebert

PATENTANWÄLTE

European Patent Attorneys
European Trademark Attorneys

Patentanwälte · Postfach 710867 · 81458 München

Fraunhofer-Gesellschaft
zur Förderung der
angewandten Forschung e. V.
Leonrodstraße 54
80636 München

Fritz Schoppe, Dipl.-Ing.
Tankred Zimmermann, Dipl.-Ing.
Ferdinand Stöckeler, Dipl.-Ing.
Franz Zinkler, Dipl.-Ing.

Telefon/Telephone 089/790445-0
Telefax/Facsimile 089/790 22 15
Telefax/Facsimile 089/74996977
e-mail: szsz_iplaw@t-online.de

Verfahren zum Erzeugen verkapselter Chips

Verfahren zum Erzeugen verkapselter Chips

Beschreibung

5

Die vorliegende Erfindung bezieht sich auf das Verkapseln von Halbleiterstrukturen und insbesondere auf das Erzeugen von verkapselten Chips.

10 Bekannterweise werden zur Verkapselung auf einer Waferebene Verfahren eingesetzt, um verdrahtete integrierte Schaltungen mechanisch zu stabilisieren, die aktiven Strukturen zu schützen und den einfachen Aufbau von hohen Kontakthöckern (Bumps) zu erreichen. Mit der zunehmenden Integrationsdichte und Kompaktheit der Halbleiterstrukturen wird bei einer 15 marktüblichen Umsetzung auf eine Verkapselung von einzelnen integrierten Schaltungen auf einer Waferebene mit einer Fan-In-Umverdrahtung (Umverdrahtung durch Hineinfächern) im Bereich von Kontaktmittenabständen abgezielt, die größer 20 als 400 μm sind.

Fig. 1 zeigt schematisch Abbildungen, die ein Verfahren darstellen, bei dem ein Wafer 10 mit darauf angeordneten Chips zunächst verkapselt wird und der verkapselte Wafer 10 25 daraufhin entlang von Trennlinien 12 zum Erzeugen vereinzelter Chips 14 durchtrennt wird. Wie es zu erkennen ist, weist der dabei erhaltene Chip 14 eine Verkapselungsschicht 16 lediglich auf einer oberen Hauptoberfläche auf.

30 Fig. 2a-c zeigen schematische Darstellungen eines bekannten Chips 18 mit einem Chip-Size-Package. Unter Bezugnahme auf Fig. 2a weist der Chip 18 auf einer Hauptoberfläche eine Passivierungsschicht 20 auf, auf der eine Fan-In-Umverdrahtungsstruktur 22 aus Kupfer gebildet ist. Die 35 Umverdrahtungsstruktur 22 ist mit jeweiligen Anschlußflächen 26 aus Aluminium verbunden, die an Kanten 24 des Chips 18 angeordnet sind.

Die Umverdrahtungsstruktur 22 weist ferner von der Hauptoberfläche des Chips vorstehende Post-Strukturen (Pfahlstrukturen) 28 auf, die auf einer oberen Oberfläche mit Löthöckern 30 mit einem BGA-Muster (BGA = Ball-Grid-Array = Kugel-Gitter-Array) oder einem LGA-Muster (LGA = Land-Grid-Array = Anschlußflächen-Gitter-Array) versehen sind. Die Post-Strukturen 28 sind in einer Abdeckschicht 32 aus einem Dichtungsmaterial, z.B. einem Polymer- oder EPOXY-Material, angeordnet, um dieselben zu schützen und mechanisch zu stabilisieren. Fig. 2b zeigt eine Draufsicht auf den Chip 18 vor einem Verkapseln desselben, bei der die Abdeckschicht 32 noch nicht gebildet ist. Ferner zeigt Fig 2c eine Draufsicht auf den verkapselten Chip 18, bei der die sich durch die Abdeckschicht 32 erstreckenden Post-Strukturen 28 in einer regelmäßigen Gitteranordnung zu erkennen sind.

Nachteilig an den bekannten Verfahren und Methoden ist, daß keine Möglichkeit zum Aufbau eines Systems in Package in miniaturisierter Ausführung gegeben ist. Es ist im Stand der Technik ferner nicht vorgesehen, unterschiedliche Chips auf Waferebene zu montieren und danach zu verkapseln.

Die im Stand der Technik verwendete Fan-In-Umverdrahtung, bei der nach außen führende Kontakte so angeordnet werden, daß sie innerhalb eines Chip-Footprints angeordnet sind, kann ferner bei hohen Kontaktzahlen lediglich eine sehr geringe Entspannung bzw. Vergrößerung des Kontaktmittenabstands erbringen. Damit eignet sich die Fan-In-Verdrahtung nur bedingt für die bei zukünftigen Integrationsdichten auftretenden Anforderungen.

Ferner ist es bei einer Weiterentwicklung der Chiptechnologie und einer daraus resultierenden Verkleinerung der benötigten Chipfläche, d.h. bei einem sogenannten Die-Shrink, erforderlich, die Anordnung der Kontaktflächen zu verändern, wodurch Anwender eines solchen Bauteils Leiterplatten-Layouts und Bestückungsprozesse an die jeweiligen

Bauteile anpassen müssen. Dies ist mit zusätzlichen Kosten verbunden und verhindert ferner eine schnelle Markteinführung.

5 Im Stand der Technik werden verschiedene Verkapselungsverfahren verwendet. Zur Verkapselung eines Wafers ist es beispielsweise aus der US 6,245,595 B1 bekannt, einen Wafer in einer unteren Spritzgießform anzuordnen, wobei auf dem Wafer ein Film planar aufgebracht wird, um ein Abdichten
10 des Spritzgußraums zu ermöglichen. Nachdem der Film in einen direkten Kontakt mit auf dem Wafer angeordneten Löthöckern gebracht ist, wird ein oberes Spritzgießteil auf den Film gedrückt. Daraufhin wird ein Verkapselungsmaterial in den gebildeten Hohlraum unter Druckausübung eingespritzt, so daß sich zwischen dem Wafer und der Folie eine
15 Verkapselungsschicht bildet, wobei die Löthöcker, die in direktem Kontakt mit der Folie sind, auf den oberen Abschnitten derselben im wesentlichen frei von dem Verkapselungsmaterial sind. Nach dem Erzeugen der Verkapselungs-
20 schicht wird die Folie entfernt, woraufhin der Wafer mit der darauf aufgebrachten Verkapselungsschicht vereinzelt wird, um abgetrennte Chips zu erzeugen.

25 Dieses Verfahren weist den Nachteil auf, daß bei dem Erzeugen einer Verkapselungsschicht auf dem gesamten Wafer und einem darauffolgenden Vereinzeln des Wafers mit der Verkapselungsschicht die vereinzelten Chipseinheiten eine Fläche aufweisen, die der Fläche des Chips entspricht. Folglich ist bei einem derartigen Verfahren keine Umverdrahtung über
30 die Fläche des Halbleiter-Chips hinaus möglich. Ferner weist das Verfahren den Nachteil auf, daß eine Verkapselungsschicht lediglich auf der Hauptoberfläche der Chips angeordnet ist, wobei die nach dem Vereinzeln entstehenden seitlichen Oberflächen nicht verkapselt sind und daher
35 einen verringerten mechanischen Schutz aufweisen.

Ferner ist aus der EP 1 035 572 A2 ein Verfahren bekannt, bei dem ein Harzmaterial in einer Pulver- oder Partikelform

auf einer Oberfläche eines Wafers mit Höckern aufgebracht wird. Der Wafer wird in einem Hohlraum einer Gußform plaziert und daraufhin erhitzt, um das Harzmaterial zum Schmelzen zu bringen. Daraufhin wird eine obere Gußform 5 gegen eine auf den Höckern aufgebrachte Folie gedrückt, wodurch sich zwischen der Folie und dem Wafer eine Harzschi cht ausbildet.

Dieses Verfahren weist neben den bereits oben beschriebenen 10 Nachteilen eines Verkapseln des gesamten Wafers den Nachteil einer aufwendigen Prozeßfolge auf, bei der zuerst Material aufgebracht und daraufhin einem Schmelzvorgang unterzogen wird, wobei ferner eine mechanische Betätigung während des Formens erforderlich ist. Daher ergibt sich für 15 das Verfahren hohe Produktionskosten und eine geringe Produktionsrate.

Ein weiteres Verfahren zum Erzeugen von Verkapselungsschichten ist in der US 6,338,980 B1 beschrieben. Dabei 20 wird vor einem Harzabdichtungsprozeß ein Vereinzeln eines Wafers in Halbleiterbauelemente durchgeführt. Nach dem Durchführen des Vereinzelungsprozesses werden die vereinzelten Chips auf einem Basisglied angeordnet und daraufhin einem Harzabdichtungsprozeß unterzogen, wobei die Halbleiterbauelemente auf einen Basisträger aufgebracht und befestigt werden. Daraufhin wird ein Harzdruckformprozeß durchgeführt, um eine Harzschi cht auf der Oberfläche der Halbleiterbauelemente und eine Harzschi cht zwischen den Bauelementen zu erzeugen. 25

Bei dem obigen Verfahren, bei dem die Chips vor dem Verkapseln vereinzelt werden und daraufhin zum Verkapseln auf einem Basisträger angeordnet werden, sind jedoch zusätzliche Verfahrensschritte und Vorrichtungen, beispielsweise 30 ein Chip-Träger oder Chuck zum Befestigen der Chips und Transportieren derselben zu dem Basisträger erforderlich. Dadurch erhöht sich der Aufwand bei der Herstellung derselben, so daß sich die Produktionskosten erhöhen. Ferner ist

auch die Verwendung eines Harzdruckprozesses für manche Anwendungen nachteilig.

Ein weiterer Nachteil des Stands der Technik besteht darin, 5 daß die Integration von funktionalen Strukturen auf der Verkapselungsebene nicht vorgesehen ist. Im Stand der Technik wird beispielsweise die Gestaltung von erhabenen Kontaktflächen oder die Schaffung von geometrischen Strukturen zur Montageunterstützung, z.B. V-Nuten, nur durch 10 zusätzliche Materialbearbeitung bzw. durch zusätzliche Prozeßschritte zu erreichen.

Die Aufgabe der vorliegenden Erfindung besteht darin, ein 15 Verfahren zu schaffen, das ein kostengünstiges Verkapseln von Chips mit gleichzeitiger hoher Produktionsrate ermöglicht.

Diese Aufgabe wird durch ein Verfahren gemäß Anspruch 1 und ein Verfahren gemäß Anspruch 19 gelöst.

20 Die vorliegende Erfindung basiert auf der Erkenntnis, daß ein verbessertes Umverdrahten dadurch erreicht werden kann, daß ein Wafer vor dem Verkapseln vereinzelt wird und die vereinzelten Chips daraufhin einem Spritzgießen unterzogen 25 werden. Erfindungsgemäß wird der Wafer dabei auf einem Zerteilungssubstrat angeordnet, so daß die Chips sowohl nach dem Vereinzeln als auch während des Spritzgießens auf dem Zerteilungssubstrat angeordnet bleiben. Bei dem erfindungsgemäß Verfahren wird durch das Vereinzeln der Chips 30 vor dem Verkapseln ermöglicht, daß die Gräben zwischen den Chips mit Verkapselungsmaterial gefüllt werden. Dadurch kann erreicht werden, daß eine Fläche der nach dem Verkapseln gebildeten Chipeinheit, die den Chip sowie eine seitlich angeordnete Verkapselungsmasse umfaßt, größer als eine 35 Fläche des Chips selbst ist, so daß für die verkapselte Chipeinheit eine verglichen mit dem Chip erhöhte Fläche zur Verfügung steht. Die Erweiterung der vorhandenen Fläche ermöglicht eine Umverdrahtung gemoldeter bzw. verkapselter

integrierter Schaltungen zur Erreichung größerer Kontaktmittenabstände. Die Umverdrahtung erfolgt dabei auf eine kostengünstige Weise, da die zusätzliche Fläche durch das billige Verkapselungsmaterial geliefert wird.

5

Die auf der Verkapselungsmasse erzeugte Umverdrahtung kann beispielsweise eine strukturierte dünn ausgebildete Kontaktfläche sein, die mittels bekannter Verfahren zum Erzeugen von leitfähigen Schichten auf der Verkapselungsmasse 10 aufgebracht wird. Die Umverdrahtungsstruktur kann sich ferner über Bereiche des vereinzelten Chips erstrecken.

Bei dem erfindungsgemäßen Verfahren wird ferner eine vereinfachte Handhabung mit einer hohen Produktionsrate erreicht, da das zeitaufwendige Anordnen und Transportieren 15 von vereinzelten Chips dadurch vermieden wird, daß der Wafer nach dem Vereinzeln und während des Spritzgießens auf dem Zerteilungssubstrat angeordnet bleibt.

20 Durch die Verwendung eines Spritzgießverfahrens weist das Verkapselungsverfahren reduzierte Herstellungskosten bei gleichzeitiger Gewährleistung einer hohen Produktionsrate auf. Das Spritzgießverfahren erfordert zur Durchführung lediglich das Anordnen der Chips in einem Spritzgießform- 25 teil und ein darauffolgendes Einbringen des Verkapselungsmaterials. Dadurch weist es einen hohen Automatisierungsgrad auf und eignet sich insbesondere für Verfahren, bei denen eine hohe Produktionsrate gefordert wird. Ferner ermöglicht das Spritzgießen ein gleichzeitiges Formen von 30 Funktionsstrukturen des verkapselten Chips, so daß diese auf eine einfache und kostengünstige Weise erzeugbar sind.

Bei einem Ausführungsbeispiel, bei dem das Zerteilungssubstrat aus einem verformbaren Material, wie beispielsweise 35 einer verformbaren Folie, gebildet ist, wird ferner die Beabstandung der Chips voneinander nach dem Vereinzeln erhöht, indem das elastische Zerteilungssubstrat einer mechanischen Bearbeitung zur Vergrößerung der Fläche,

beispielsweise einem Auseinanderziehen des Zerteilungssubstrats, unterzogen wird.

5 Durch das mechanische Bearbeiten erhöht sich die Fläche des Zerteilungssubstrats, auf dem die Chips angeordnet sind, so daß die Chips auf dem Zerteilungssubstrat über einen größeren Zwischenraum voneinander beabstandet sind. Dadurch kann auf eine einfache Weise die Fläche einer Chipeinheit nach dem Verkapseln erhöht und auf einen vorbestimmten Wert 10 eingestellt werden.

15 Vorzugsweise wird die Beabstandung gleichmäßig in alle Richtungen erhöht. Jedoch kann durch ein selektives mechanisches Bearbeiten, d.h. beispielsweise ein Auseinanderziehen des Zerteilungssubstrats lediglich entlang vorbestimmter Richtungen, ein selektives Erhöhen der Chipabstände in den jeweiligen Richtungen erreicht werden, so daß nicht nur die Fläche einer verkapselten Chipeinheit sondern auch die 20 jeweilige Breite und Länge einstellbar ist. Dies ist insbesondere vorteilhaft, wenn eine zusätzliche Fläche für eine Fan-Out-Verdrahtung lediglich für Kontakte entlang bestimmter Kanten des Chips erforderlich ist.

25 Die verkapselten Chipeinheiten können durch ein Durchtrennen entlang der verkapselten Gräben nach dem Verkapseln vereinzelt werden, wobei dies vorzugsweise mit einer dünnen Schnittbreite erfolgt, um einen Flächenverlust gering zu halten. Dadurch kann eine nach dem Durchtrennen der verkapselten Gräben gebildete vereinzelte Chipeinheit sowohl den 30 auf dem Halbleitersubstrat angeordneten Chip als auch eine seitlich an dem Chip angeordnete Verkapselungsmasse umfassen, die die zusätzliche Fläche zur Umverdrahtung liefert.

35 Die nach dem Vereinzeln gebildeten Chipeinheiten ermöglichen somit eine Fan-Out-Umverdrahtung, bei der die Kontakte auf die durch die Verkapselungsmasse zusätzlich zur Verfügung gestellte Fläche entspannt werden können.

Gemäß einem Ausführungsbeispiel der vorliegenden Erfindung ist es vorgesehen, bei dem Spritzgießen funktionale Strukturen und/oder Mikrostrukturen in dem Verkapselungsmaterial zu erzeugen. Derartige funktionale Strukturen können beispielweise eine Ausnehmung, eine V-Nut, einen Vorsatz oder einen Höcker umfassen. Die funktionalen Strukturen können zum Anordnen eines Lichtleiters als Justiermarkierungen oder zur Montageunterstützung vorgesehen sein.

10 Ferner kann bei dem Spritzgießen ein Durchgangsleiter in der Verkapselungsmasse, die in die Gräben eingebracht wird, erzeugt werden, beispielsweise indem eine elektrisch leitfähige Struktur, wie beispielsweise ein elektrisch leitfähiger Stift, vor dem Einbringen des Verkapselungsmaterials 15 in einem zwischen den Chips gebildeten Graben angeordnet wird.

Durch das Einbringen von Durchkontaktierungen bzw. Durchgangsleiter lassen sich 3D-Aufbauten realisieren, die eine 20 platzsparende Lösung zum Aufbau von mehrkomponentigen Systemen erlaubt. Der Durchgangsleiter kann beispielsweise verwendet werden, um eine integrierte Durchkontaktierung bei einer Erzeugung eines stapelbaren Systems zu ermöglichen. Das Erzeugen der funktionalen Strukturen während des 25 Spritzgießens ermöglicht eine noch weitere Vereinfachung einer Herstellung von verkapselten Chips, bei denen derartige Strukturen benötigt werden. Beispielsweise wird bei einem Ausführungsbeispiel durch eingebrachte Mikrostrukturen in der Verkapselungsebene die Montage von mechanischen 30 oder optischen Funktionseinheiten erleichtert. Beispielsweise kann eine optimierte Lichtleitfaserjustage durch direkte Realisierung einer V-Nut im Verkapselungsprozess bzw. die geometrische Ausformung von Kontakthöckern, die durch Metallisierung und Strukturierung einer Umverdrahtungslage 35 zur Kontaktierung des Bauteils genutzt werden können.

Gemäß der Erfindung ist unter einem Spritzgießen bzw. Spritz-Preß-Prozeß ein dynamisches Einbringen oder Einspritzen von Material in einen Hohlraum zu verstehen, der die vereinzelten Chips umfaßt, was beispielsweise mittels 5 eines Überdrucks erfolgen kann. Der Hohlraum ist beispielsweise zwischen der Schutzanordnung, die eine Oberfläche der vorstehenden Kontakte bedeckt, und einer Spritzgießform gebildet, in der die auf dem Zerteilungsubstrat angeordneten Chips eingebracht werden. Das Material zur Verkapselung 10 wird bei dem Spritzgießverfahren vorzugsweise in einer flüssigen Form in den Hohlraum eingespritzt, wobei die Temperatur des Verkapselungsmaterials gegenüber einer Umgebungstemperatur erhöht ist.

15 Bei einem Ausführungsbeispiel kann die Schutzanordnung eine Folie sein, die sich über die gesamten Chips erstreckt. Durch die Folie ist es möglich, sowohl eine Abdichtung des Hohlraums als auch eine Bedeckung der Kontakte zum Freihalten derselben zu liefern. Bei einem Ausführungsbeispiel 20 kann die Spritzgießform eine Gegenstruktur aufweisen, die auf der Folie aufgebracht wird. Die Gegenstruktur kann auch selbst die Schutzanordnung sein, wobei dieselbe eine integrierte Dichtfläche zum Bedecken der Kontakte aufweisen kann. Die Gegenstruktur kann unter ständiger Druckausübung 25 gegen die vorstehenden Kontakte gedrückt werden, so daß dieselben dicht mit der Schutzanordnung abgeschlossen sind.

Bei einem Ausführungsbeispiel kann der Schutzkontakt ferner durch ein Beschichten der Oberfläche der Kontakte mit einem 30 Material erfolgen, das sich nach dem Durchführen des Spritzgießens von den Kontakten ohne Zerstörung der Chip-einheit ablösen läßt. Dazu kann der Wafer mit der Waferoberfläche in eine Flüssigkeit eingetaucht werden, die das ablösbare Material aufweist, so daß sich nach einem Trocknen oder Aushärten auf der Oberfläche der Kontakte eine 35 Schicht aus dem ablösbaren Material bildet.

Das Spritzgießen wird vorzugsweise derart durchgeführt, daß die Oberfläche des Verkapselungsmaterials plan mit der Oberfläche der vorstehenden Kontakte ist. Dies ermöglicht, daß bei einem nachfolgenden Umverdrahten ein Planarisieren 5 der Oberfläche nicht erforderlich ist, so daß die Umverdrahtungsstruktur als eine dünne Schicht direkt auf dem Verkapselungsmaterial und der Oberfläche der Kontakte aufgebracht werden kann. Ferner wird ein Stapeln mehrerer verkapselter Chips übereinander durch das Erzeugen einer 10 planaren Oberfläche erleichtert.

Bevorzugte Ausführungsbeispiele der vorliegenden Erfindung werden nachfolgend bezugnehmend auf die beiliegenden Zeichnungen näher erläutert. Es zeigen:

15

Fig. 1 schematische Darstellungen eines bekannten Verkapselungsverfahrens;

20 bis 2c

Fig. 2a schematische Darstellungen einer bekannten Chip-
Anordnung mit einer Umverdrahtungsstruktur;

25 bis 3c Fig. 3a schematische Draufsichten auf einen Wafer zur
Darstellung einer Wafervereinzelung gemäß einem Ausführungsbeispiel der vorliegenden Erfindung;

Fig. 4a schematische Querschnittsansichten, die verschiedene Phasen bei einer Verkapselung gemäß einem Ausführungsbeispiel der vorliegenden Erfindung zeigen;

30

Fig. 5 schematische Querschnittsansichten von verkapselten Chips, die gemäß Ausführungsbeispielen der vorliegenden Erfindung hergestellt sind;

35 Fig. 8 schematische Querschnittsansichten verkapselter
bis 10 Chips gemäß Ausführungsbeispielen der vorliegenden Erfindung;

Fig. 11 Querschnittsansichten gemäß einem Ausführungsbeispiel der vorliegenden Erfindung;

5 Fig. 12a Querschnittsansichten eines verkapselten Chips,
Fig. 12b bis 12d die verschiedene Phasen bei einer Erzeugung von Durchführungskontakten gemäß einem Ausführungsbeispiel der vorliegenden Erfindung zeigen; und

10 Fig. 13 eine Querschnittsansicht eines Stapels aus verkapselten Chips gemäß einem Ausführungsbeispiel der vorliegenden Erfindung.

15 Im folgenden wird unter Bezugnahme auf die Fig. 3a - c und die Fig. 4a - f ein erstes Ausführungsbeispiel einer einstufigen Verkapselung auf Waferebene gemäß der vorliegenden Erfindung erklärt, die es erlaubt, auch auf Waferebene aufgebaute hybride Systeme, die unterschiedliche Chiptypen, mechanische Funktionseinheiten, MEMS oder MOEMS umfassen können, zu verarbeiten. Die Fig. 3a - c zeigen verschiedene 20 Phasen während eines Vereinzeln eines Wafers 100, und die Fig. 4a - f zeigen verschiedene Phasen während eines Verkapselns mittels eines Spritzgießens zeigen. In den verschiedenen Figuren der folgenden Ausführungsbeispiele sind gleichartige Elemente jeweils mit gleichartigen Bezugszeichen versehen.

25 Fig. 3a zeigt einen Wafer 100, der vorbereitet wurde, so daß derselbe eine Mehrzahl von Chips 102 umfaßt. Die Chips 102 umfassen Funktionseinheiten, wie beispielsweise integrierte Schaltungen, Sensoren bzw. Sensorstrukturen, mechanische oder optische funktionale Einheiten, wie beispielsweise MEMS (MEMS = mikroelektromechanische Strukturen) oder MOEMS (MOEMS = mikro-optisch-elektro-mechanische Strukturen), die beispielsweise an einer Oberfläche 100a angeordnet sind. Bei einem Ausführungsbeispiel wird ein dreidimensionaler Stapel vorbereitet, bei dem zwei oder mehr Chips übereinander gestapelt sind. Dazu kann zusätzlich zu dem Wafer 100 ein weiterer Wafer vorbereitet werden, der bei-

spielsweise eine Mehrzahl von Chips mit Funktionseinheiten aufweist, die den jeweiligen Chips des Wafers 100 zugeordnet sind. Der Stapel kann dabei entsprechend zu der im folgenden für einen einzelnen Wafer beschriebenen Weise 5 verkapselt werden.

Mit anderen Worten gesagt, wird ein mikroelektronisches Bauteil aus einer Funktionseinheit bzw. durch Kombination von zwei oder mehreren Funktionseinheiten auf Waferebene 10 hergestellt, wobei die montierten Funktionseinheiten ein „System“ ergeben. Durch die Verwendung von dünnen Funktionseinheiten und einer Umverdrahtungstechnologie kann dieses System typischerweise im Dickenbereich eines Wafers liegen.

15

Der Wafer weist vorzugsweise ein Halbleitermaterial, wie beispielsweise Silizium oder GaAs, auf und kann jede beliebige Form oder jeden Durchmesser umfassen. Bei einem Ausführungsbeispiel umfaßt der Wafer einen gedünnten Wafer, 20 wobei derselbe einen Durchmesser aufweisen kann, der geringer als 100 µm ist.

Auf dem Wafer 100 sind Kontakte 104 angeordnet, die von der Waferfläche 100a hervorstehten. Die Kontakte 104 sind mit 25 jeweiligen elektrischen Anschlüssen der auf dem Chip 102 angeordneten Funktionseinheit verbunden, beispielsweise über seitlich an den Chip herangeführten Anschlußflächen.

Die Kontakte 104 können beispielsweise einen Kontakthöcker 30 umfassen, der aus Kupfer oder einem Lothöcker gebildet sein kann. Beispielsweise kann zur Bildung der Kontakte 104 Kontakte nach außen auf Waferebene mit einer lötfähigen Metallisierung und mit einem Kontakthöcker aus Cu oder einem Lothöcker, beispielsweise aus eutektischem PbSn oder 35 SnAg, versehen werden. Die lötfähige Metallisierung kann beispielsweise in einem stromlosen (electroless) Ni-Prozeß erzeugt werden. Eine typischer Wert einer Höhe der Kontakte

über die Waferoberfläche 100a liegt in einem Bereich von 50 bis 200 μm , beispielsweise bei 100 μm .

In einem nächsten Schritt wird der Wafer auf ein Zerteilungssubstrat aufgebracht. Das Zerteilungssubstrat ermöglicht, daß bei einem darauffolgenden Vereinzeln des Wafers in die Chips die abgetrennten Chips bei dem nachfolgenden Verkapseln der Chips in einem Muster gehalten werden, bei der dieselben voneinander beabstandet sind.

10

Der Wafer kann beispielsweise mit einem reversiblen Kleber auf dem Zerteilungssubstrat 106 befestigt werden. Dies ermöglicht ein Ablösen des Zerteilungssubstrats nach einer Verkapselung, wenn das Verbleiben des Zerteilungssubstrats auf den Chips nicht gewünscht ist. Vorzugsweise ist das Zerteilungssubstrat aus einem verformbaren oder elastischen Material gebildet und weist beispielsweise eine verformbare Folie, z.B. aus Kunststoff, auf.

15

Nachdem der Wafer 100 auf dem Zerteilungssubstrat 106 befestigt ist, wird der Wafer 100 in die einzelnen Chips 102 vereinzelt, so daß die abgetrennten Chips über die bei dem Vereinzeln gebildeten Vereinzelungsgräben 108 einander gegenüberliegen, wie es in Fig. 3b gezeigt ist. Das Vereinzeln kann beispielsweise durch ein Sägen des Wafers entlang vorbestimmter Trennlinien erfolgen, wobei der Sägevorgang lediglich den Wafer 100 durchtrennt, so daß das Zerteilungssubstrat nicht vollständig durchtrennt wird. Ferner kann das Vereinzeln auch ein Ätzen des Wafers entlang der vorbestimmten Trennlinien umfassen. Die Beabstandung der Chips über die Trenngräben kann auf einen vorbestimmten Wert eingestellt werden, beispielsweise durch die Auswahl der Dicke eines Sägeblatts oder einer geeigneten Struktur einer Ätzmase.

20

Die Anordnung der abgetrennten Chips wird nach dem Vereinzeln von dem Zerteilungssubstrat 106 gehalten, wobei die-

25

30

35

selben, wie oben erwähnt, über die Trenngräben voneinander beabstandet sind.

Wie es in Fig. 3c dargestellt ist, können bei einem besonders bevorzugten Ausführungsbeispiel die bei dem Vereinzeln gebildeten Vereinzelungsgräben 108 durch ein Vergrößern der Fläche des Zerteilungssubstrats die gebildeten Gräben vergrößert werden, so daß die Chips weiter voneinander beabstandet sind, verglichen mit dem Abstand, der sich nach dem Vereinzeln ergibt. Dies kann beispielsweise durch Verwendung einer verformbaren Folie als Zerteilungssubstrat 106 und ein Auseinanderziehen bzw. Recken derselben erfolgen.

Folglich weist der Umfang und der Durchmesser der Gesamtheit der vereinzelten Chips nach dem Vergrößern der Trennabstände einen größeren Wert verglichen mit dem Umfang bzw. Durchmesser des ursprünglichen Wafers auf. Dies ist insbesondere bei einem darauffolgenden Anordnen der Chips in einer Spritzgießform zu berücksichtigen, da die Anordnung der Chips mit vergrößerten Trennabständen eine Dimensionierung der Spritzgießform erfordern kann, die sich von derjenigen unterscheidet, die sich bei bekannten Spritzgußformen für jeweilige Wafer ergibt.

25 Ferner kann bei einem Ausführungsbeispiel ein Vergrößern der Trennabstände der Chips durch ein Erwärmen des Zerteilungssubstrats erreicht werden, wobei zusätzlich das Zerteilungssubstrat, wie oben beschrieben, gestreckt werden kann.

35 Vorzugsweise erfolgt das Auseinanderziehen bzw. Recken des Zerteilungssubstrats mit dem aufgespannten Wafer 100 gleichmäßig in alle Raumrichtungen, so daß zwischen den abgetrennten Chips gleichgroße Zwischenräume entstehen. Alternativ kann auch ein selektives Strecken des Zerteilungssubstrats in vorbestimmte Richtungen erfolgen.

Durch das Recken der Trägerfolie des gesägten und aufgespannten Wafers ist es möglich, die Kontakte der eingebetteten Chips auf die Fläche außerhalb der Chipfläche nach der Verkapselung umzuverdrahten. Dies kann beispielsweise 5 eine Kompensation der Flächenreduktion nach einem Die-Shrink und damit die Beibehaltung des bisherigen Kontakt-Layouts ermöglichen. Ferner können als weitere Möglichkeit feinste Kontaktmittenabstände durch Umverdrahtung auf Flächen innerhalb und außerhalb des Chipfootprints ent-10 spannt werden und so die Verwendung preiswerteren Substrat-materials zu ermöglichen bzw. überhaupt erst zu gestatten.

Der Wafer wird nach dem Vereinzeln in eine Spritzgießform bzw. Moldform eingelegt, wobei der Wafer auf dem Zerteilungssubstrat angeordnet bleibt. Die Spritzgießform ist vorzugsweise so geschaffen, daß eine plane Probe mit einer Verkapselungsschicht versehen werden kann. Ferner kann diese auch das Freistellen der Kontakte ermöglichen, wie es nachfolgend genauer beschrieben wird. Ferner können in der 20 oberen Hälfte der Spritzgießform Strukturen eingebracht sein, die durch den Verkapselungsvorgang auf die Waferoberfläche übertragen werden und die Montage von Mikrosystemen ermöglichen oder vereinfachen, wie es weiter unten unter Bezugnahme auf die Fig. 9- 11b näher erläutert wird.

Bei einem Ausführungsbeispiel kann es ferner vorgesehen 25 sein, daß das Zerteilungssubstrat mit dem vereinzelten Wafer in die Spritzgießform eingebracht wird, woraufhin das Vergrößern der Trennabstände zwischen den Chips in der 30 Spritzgießform durchgeführt wird. Beispielsweise kann das Zerteilungssubstrat in der Spritzgießform angeordnet und daraufhin durch ein gleichmäßiges Ziehen an Kanten desselben gestreckt werden, wobei das gestreckte Zerteilungssubstrat zum Beibehalten der gestreckten Form anschließend, 35 beispielsweise durch Anbringen an Abschnitten der Spritzgießform, fixiert wird.

Zum Freihalten der Kontakte 104 wird die Anordnung aus Chips 102 mit einer Schutzanordnung bedeckt, so daß bei einem darauffolgenden Einbringen von Verkapselungsmaterial die Oberflächen der Kontakte 104 nicht in Berührung mit dem

5 Verkapselungsmaterial kommen. Die Schutzanordnung kann beispielsweise eine Folie aus einem ablösbarer Material sein, die über die Kontakte 102 gelegt wird. Ferner kann die Schutzanordnung durch einen Abschnitt der Spritzgießform gebildet sein, der in eine Berührung mit dem Kontakt

10 102 gebracht wird. Der Abschnitt, der in Berührung mit den Kontakten gebracht wird, kann ferner eine integrierte Dichtfläche aufweisen, so daß durch das Drücken des Abschnitts der Spritzgießform, der beispielsweise eine obere Formhälfte sein kann, gegen einen Hauptabschnitt ein Abdichten des Spritzgießhohlraums und gleichzeitig ein Bedekken der Kontakte 104 erreicht wird. Ferner kann die Schutzanordnung zum Abdecken der Kontakte eine Schicht aus einem ablösbarer Material umfassen, die auf den Oberflächen der Kontakte gebildet ist. Dies kann beispielsweise durch ein

15 20 Eintauchen des Wafers in eine Flüssigkeit erreicht werden, die ein ablösbarer Material aufweist, so daß nach einem Trocknen oder Aushärten die Schicht aus dem ablösbarer Material auf den Oberflächen der Kontakte gebildet ist.

25 Fig. 4a zeigt eine schematische Ansicht des in die Chips 102 vereinzelten Wafers 100, vor dem Aufbringen der Schutzanordnung 110.

Nachdem der vereinzelte Wafer mit dem Zerteilungsubstrat

30 35 in der Spritzgießform angeordnet ist, wird die Spritzgießform geschlossen, um einen abgedichteten Hohlraum zu erhalten. Der Hohlraum wird bei diesem Ausführungsbeispiel durch die Schutzanordnung und die Spritzgießform begrenzt. Zum Abdichten des Hohlraums kann ein oberer Abschnitt oder eine Abdeckung der Spritzgießform auf die Schutzanordnung gedrückt werden, wobei die Schutzanordnung zwischen dem oberen Abschnitt und einem Hauptabschnitt der Spritzgießform angeordnet ist.

Fig. 4b zeigt die Anordnung von Fig. 4a, nachdem die Schutzanordnung 110 die Kontakte 104 bedeckt. Wie es zu erkennen ist, sind die Chips 102 auf dem Zerteilungssubstrat 106 5 angeordnet und über Gräben 108 voneinander beabstandet. Bei einem Ausführungsbeispiel ist ferner ein Anlegen von Vakuum vorgesehen, um ein verbessertes Formfüllverhalten zu erreichen.

10 Bei dem Spritzgießen werden der Bereich der Gräben und der Bereich zwischen den Kontakten 104 durch das Einbringen von Verkapselungsmaterial 112 in den Spritzgießhohlraum mit demselben gefüllt. Gemäß Fig. 4c, das die Anordnung von Fig. 4b während einer ersten Phase des Spritzgießens zeigt, 15 wird bei dem gezeigten Ausführungsbeispiel das Verkapselungsmaterial seitlich in den zwischen der Schutzanordnung 110 Zerteilungssubstrat 106 gebildeten Hohlraum eingespritzt. Dadurch werden die Gräben 108 als auch Bereiche 108a zwischen den Kontakten 104 von der Seite her mit dem 20 Verkapselungsmaterial 112 gefüllt.

Fig. 4d zeigt die Anordnung von Fig. 4c zu einem späteren Zeitpunkt des Spritzgießprozesses, bei dem ein Graben durch das seitliche Einspritzen bereits vollständig mit dem 25 Verkapselungsmaterial 112 gefüllt ist und ein weiterer Graben 108 mit dem Verkapselungsmaterial aufgefüllt wird.

Nachdem bei dem Spritzgießen der gesamte Zwischenraum zwischen der Schutzanordnung 110 und die Gräben 108 mit dem 30 Verkapselungsmaterial gefüllt ist, wird die Schutzanordnung 110 entfernt, so daß die Kontakte 104 auf der Oberfläche 104a, die während des Spritzgießens in Berührung mit der Schutzanordnung 110 ist, freigelegt sind. Dazu wird die Spritzgießform geöffnet und der Wafer entfernt. Fig. 4e 35 zeigt die Anordnung von Fig. 4d bei dem Entfernen der Schutzanordnung 110. Das Entfernen kann beispielsweise derart erfolgen, daß die Schutzanordnung 110 sukzessive, d.h. beispielsweise durch ein Abziehen von der durch die

Verkapselungsmasse 112 und den Höckern gebildete Oberfläche, entfernt wird. Vorzugsweise wird die Schutzanordnung 110 auf eine mechanische Weise entfernt, wobei jedoch auch eine chemische Entfernung, beispielsweise durch ein Ätzen 5 oder Auflösen der Schutzanordnung 110 vorgesehen sein kann.

Die mit dem Verfahren erreichbare direkte Verkapselung von in der Verkapselungsform fixierten Funktionseinheiten bzw. aus Funktionseinheiten aufgebauten System ohne zusätzliche 10 Schaltungsträger ermöglicht einen Schutz der internen Kontaktierung und möglicher vorhandener zusätzlicher Funktionseinheiten hinsichtlich einer mechanischen und chemischen Belastung. Ferner werden auch die Lötkontakte mechanisch stabilisiert, so daß dieselben eine erhöhte Zuverlässigkeit 15 aufweisen.

Nachdem die Schutzanordnung 110 entfernt ist, ist die Oberfläche des Verkapselungsmaterials 112 im wesentlichen planar mit der Oberfläche 104a der Kontakte 104, wodurch 20 ein Aufbringen von Kontakten, beispielsweise von Umverdrahtungskontakten bei einem nachfolgenden Umverdrahten, ohne zusätzliche Planarisierschritte möglich ist. Bei einem Ausführungsbeispiel wird die verkapselfte Anordnung von 25 Chips mit Umverdrahtungsstrukturen versehen und die freiliegende Oberseite 104a der Kontakte 104 auf der Waferebene ankontakteert. Dies kann beispielsweise durch ein Drucken, ganzflächiges Metallisieren oder Laserstrukturieren erfolgen.

30 Bei einem Ausführungsbeispiel wird auf der Umverdrahtungsstruktur ein Umverdrahtungskontakt aufgebracht, der von der Umverdrahtungsstruktur vorsteht. Der Bereich zwischen den Umverdrahtungskontakten kann mit einem elektrisch isolierenden Material ausgefüllt werden, um eine mechanische 35 Stabilisierung und Isolierung zu erreichen. Dies kann vorzugsweise auch mittels eines Spritzgießens erfolgen, wodurch das Bereitstellen von zusätzlichen Vorrichtungen entfällt.

Nach dem Verkapseln und dem Entfernen der Schutzanordnung 110 bilden die Chips 102 zusammen mit dem Verkapselungsmaterial 112 eine mechanisch verbundene Einheit. Zur Erzeugung von einzelnen Chipeinheiten können die Chips durch ein Durchtrennen, z.B. mittels Sägen, der Verkapselungsmasse 112 entlang der Gräben 108 vereinzelt werden, wie es unter Bezugnahme auf Fig. 4f gezeigt ist. Ferner können die vereinzelten Chipeinheiten von dem Zerteilungssubstrat 106 abgelöst werden.

Alternativ können die Chips auch ohne ein Entfernen des derart Zerteilungssubstrats 106 vereinzelt werden. Dazu wird zusätzlich zu der Verkapselungsmasse 112 das Zerteilungssubstrat 106 entlang der Gräben durchtrennt.

Fig. 5 zeigt einen durch den oben beschriebenen Wafer-Spritzgußprozeß erzeugten Baustein zur Substratmontage. Der Baustein bzw. die verkapselte Chipeinheit weist nach dem Verkapseln an seitlichen Oberflächen 102b und 102c des Chips 102 einen Verkapselungsmasse-Abschnitt 112a und an einer Hauptoberfläche 102a einen Verkapselungsmasse-Abschnitt 112b auf, so daß der Chip 102 eine erhöhte mechanische Stabilität und Schutzwirkung gegenüber einem Chip aufweist, der keine seitliche Verkapselung aufweist. Ein wesentlicher Vorteil des beschriebenen Verfahrens besteht ferner darin, daß durch die seitlichen Verkapselung-Abschnitte 112a eine nach dem Verkapseln gebildete Chipeinheit eine größere Fläche als diejenige des Chips 102 für sich genommen aufweist. Dies ermöglicht beispielsweise, daß bei einer zunehmenden Verkleinerung der Chips, d. h. einem Die-Shrink, eine Kompensation einer durch die Chip-Miniaturisierung bedingten Flächenreduktion des Chips durchgeführt werden kann. Dadurch können bisherige Kontaktlayouts beibehalten werden, wodurch beispielsweise eine Anpassung von Halte- oder Trägervorrichtungen an die verkleinerten Abmessungen der Chips nicht erforderlich ist. Dadurch ist es möglich, eine Chipflächenreduktion mit

geringem Aufwand, d.h. beispielsweise ohne eine Anpassung von Equipment, durchzuführen, wodurch die Kosten gering gehalten werden. Ferner wird durch das Liefern einer vergrößerten Oberfläche bei bestimmten Anwendungen überhaupt erst ermöglicht, ein Befestigen der vereinzelten Chipeinheit durchzuführen. Oftmals erfordern bestimmte Halte- oder Handhabungsvorrichtungen eine minimale Größe der Chips, die nicht unterschritten werden kann, so daß durch das erfundungsgemäße Verkapseln in diesen Fällen erst eine Handhabung von miniaturisierten Chips erreicht wird.

Durch das beschriebene Verfahren ist es ferner möglich, feinste Kontaktmittenabstände durch eine Umverdrahtung auf Flächen innerhalb eines Chip-Footprints, d. h. durch eine Fan-In-Umverdrahtung, und außerhalb des Chip-Footprints, d. h. durch eine Fan-Out-Umverdrahtung, auf größere Kontaktmittenabstände zu entspannen. Dies ermöglicht die Verwendung eines preiswerteren Substratmaterials, da die vergrößerte Oberfläche durch ein billiges Verkapselungsmaterial, und nicht durch das teure Halbleitermaterial, geliefert wird.

Im folgenden werden unter Bezugnahme auf die Fig. 6 - 13 weitere Ausführungsbeispiele der vorliegenden Erfindung erklärt.

Gemäß Fig. 6 wird bei einem Ausführungsbeispiel eine direkte elektrische Kontaktierung der Kontakte 104 mittels Kontaktstrukturen 116 durchgeführt, die jeweils den Kontakten 104 zugeordnet sind. Die Kontaktstruktur 116 kann beispielsweise eine Anordnung von Höckern sein, die auf einem Anschlußsubstrat angeordnet sind, und in eine Berührung mit den zugeordneten Kontakten 104 gebracht werden. Beispielsweise wird dazu eine Flip-Chip-Technik eingesetzt.

Fig. 7 zeigt ein Ausführungsbeispiel, bei dem eine Fan-Out-Umverdrahtung durchgeführt wird. Bei diesem Ausführungsbeispiel wird auf einer Oberfläche 114a der Chipeinheit 114

eine Umverdrahtungsstruktur 116a aufgebracht, so daß dieselbe einen elektrischen Kontakt mit einem oder mehreren der Höckern 104 aufweist. Die Umverdrahtungsstruktur 116a kann beispielsweise durch eine strukturierte Umverdrahtungslage gebildet sein, die mittels bekannter Strukturierungsprozesse gebildet ist. Daraufhin werden auf die Umverdrahtungsstruktur 116a ein Umverdrahtungskontakt 118a, der beispielsweise ein Kontakthöcker aus Metall sein kann, aufgebracht. Zur Ermöglichung der Fan-Out-Umverdrahtung erstreckt sich die Umverdrahtungsstruktur 116a auf der Oberfläche der seitlichen Verkapselungsmasse-Abschnitte 112a, so daß der Umverdrahtungskontakt 118a außerhalb der Chipfläche angeordnet werden kann. Vorzugsweise erfolgt die Umverdrahtung der verkapselten Chips nach dem Entfernen der Schutzanordnung 110 und vor dem Vereinzeln der zu einer Einheit verbundenen verkapselten Chips. Dadurch kann das Umverdrahten für die gesamten Chips parallel erfolgen, d.h. die Umverdrahtungsstruktur 116a und die Umverdrahtungskontakte 118a sind für alle aus einem Wafer gebildeten Chips gleichzeitig erzeugbar.

Im folgenden werden unter Bezugnahme auf die Fig. 8 - 10, 11a und 11b weitere Ausführungsbeispiele der vorliegenden Erfindung erklärt.

Fig. 8 zeigt ein Ausführungsbeispiel, bei dem der Chip 102 eine weitere Funktionseinheit 120 aufweist, die auf einer Oberfläche 102a des Chips 102 befestigt ist. Bei diesem Ausführungsbeispiel wird der Wafer 100 so vorbereitet, daß die Funktionseinheiten 120 über den jeweils zugeordneten Chipbereichen befestigt sind. Bei diesem Ausführungsbeispiel wird folglich anstelle eines Wafers mit einer Funktionseinheit eine Kombination von mehreren Funktionseinheiten auf einer Waferebene zur Erzeugung eines mikroelektronischen Bauteils verkapselt.

Wie es in Fig. 8 ferner zu erkennen ist, wird eine Umverdrahtung durchgeführt, bei der die Funktionseinheit 120

über eine Anschlußfläche 122, die sich teilweise auf dem Chip 102 und der Funktionseinheit 120 erstreckt, verbunden ist. Mittels einer Umverdrahtungsstruktur 116b und einem Umverdrahtungskontakt 118b wird der Kontakt 104 auf einen 5 Bereich außerhalb des Chips umverdrahtet.

Unter Bezugnahme auf die Fig. 9, 10, 11a und 11b werden im folgenden weitere Ausführungsbeispiele erläutert, bei denen während des Spritzgießens funktionale Elemente oder Mikro- 10 strukturen gebildet werden. Funktionale Strukturen, wie beispielsweise vorstehende Kontaktflächen oder geometrische Strukturen zur Montageunterstützung, sind bei vielen Anwendungen von verkapselten Chips erforderlich, wobei eine 15 Integration derartiger der funktionalen Strukturen auf der Verkapselungsebene im Stand der Technik nicht vorgesehen ist. Die Gestaltung derartiger funktionaler Strukturen wird bekannterweise lediglich durch eine zusätzliche Materialbearbeitung bzw. durch zusätzliche Prozeßschritte, wie beispielsweise ein mechanisches Bearbeiten oder ein Ätzen mit 20 einer aufgebrachten Maske, erreicht.

Fig. 9 zeigt ein Ausführungsbeispiel der vorliegenden Erfindung, bei dem der seitliche Verkapselungsmasse-Abschnitt 112a durch das Spritzgießen derart geformt wird, 25 daß auf der Hauptoberfläche 114a der Chipeinheit ein höckerförmiger Vorsatz 124 gebildet ist, der von einer Oberfläche des Verkapselungsmaterials vorsteht. Auf dem Höcker 124 ist bei diesem Ausführungsbeispiel eine elektrisch leitfähigen Schicht 126a gebildet. Die elektrisch leitfähige Schicht 126a ist ferner mit dem Kontakt 104, beispielsweise über eine Umverdrahtungsstruktur 116c, elektrisch verbunden, wodurch der Höcker 124 eine elektrischen Verbindung für den Chip durch ein Verbinden mit einem zugeordneten Anschluß liefern kann. Dadurch kann eine Umverdrahtung 30 auf eine einfache und preisgünstige Weise erreicht werden, da bei dem Umverdrahtungskontakt ein teureres Metall lediglich zum Bilden der dünnen elektrisch leitfähigen Schicht 126a erforderlich ist, wobei derselbe ansonsten aus dem 35

kostengünstigen Verkapselungsmaterial und ferner ohne zusätzliche Schritte gebildet ist.

Das Bilden der funktionellen Elemente wird derart erreicht,
5 daß die Spritzgießform eine Form aufweist, die entsprechend zu den funktionellen Elementen ausgebildet ist. Ferner kann das Formen der funktionellen Elemente auch durch ein Einbringen von entsprechend geformten Elementen in den Spritzgießhohlraum erfolgen, so daß lediglich geringe Anpassungen
10 bekannter Spritzgießformen erforderlich sind.

Fig. 10 zeigt ein weiteres Ausführungsbeispiel, bei dem in dem seitlichen Verkapselungsmasse-Abschnitt 112a eine Ausnehmung 128 gebildet wird.

15

Die in Fig. 10 gezeigte Ausnehmung wird derart gebildet, daß nach dem Trennen der verkapselten Chips eine seitlich angeordnete treppenförmige Kante entsteht. Ferner kann die Ausnehmung 128, wie es in Fig. 10 gezeigt ist, mit einer leitfähigen Schicht 128 überzogen werden, wodurch diese als ein Anschlußbereich für einen Umverdrahtungskontakt dienen kann, so daß beispielsweise ein Umverdrahtungskontakt in einer genau vorbestimmten Position aufgebracht werden kann. Die leitfähige Schicht 126b weist einen Kontakt mit einer 25 auf der Hauptoberfläche 114a der Chipeinheit angeordneten Umverdrahtungsstruktur 116d auf, so daß über die leitfähige Schicht 128 ein elektrischer Anschluß für den Chip 102 geliefert wird. Die durch den Spritzgießprozeß erzeugte Ausnehmung 128 kann ferner beispielsweise eine Justagehilfe 30 darstellen, um beispielsweise bei einem Stapeln von Chipeinheiten eine Justierung zu erleichtern. Ferner kann die Ausnehmung auch zur Unterstützung einer Montage von weiteren Chipeinheiten dienen.

35 Unter Bezugnahme auf die Fig. 11a und 11b wird im folgenden ein Ausführungsbeispiel beschrieben, bei dem durch das Spritzgießen ein Funktions-Element zum Justieren und Anordnen einer Lichtleitfaser erzeugt wird. Gemäß Fig. 11b

umfaßt das Funktions-Element eine V-Nut 130, die in dem Verkapselungsmaterial 112 gebildeten Verkapselungsmasse-Abschnitt 112b durch das Spritzgießen gebildet wird und sich ferner in den seitlichen Verkapselungsmasse-Abschnitt 5 112a erstreckt.

Die V-Nut ermöglicht beispielsweise, daß eine Lichtleitfaser 132 in derselben angeordnet werden kann, vorzugsweise ohne daß sich die Lichtleitfaser 132 über die Hauptoberfläche 10 der Chipeinheit erstreckt. Fig. 11b zeigt einen Querschnitt durch die verkapselte Chipeinheit quer zu der Lichtleitfaser 132, während Fig. 11a einen Querschnitt durch das verkapselte Chipelement entlang der Lichtleitfaser 132 zeigt. Ferner wird bei diesem Ausführungsbeispiel 15 in dem Verkapselungsmasse-Abschnitt 112b ein Einkoppelement gebildet, um eine Kopplung von Licht, das über die Lichtleitfaser 132 übertragen wird, mit einem auf dem Chip 102 angeordneten Funktionselement 134 zu ermöglichen. Das Einkoppelement ist beispielsweise ein bezüglich des 20 Lichteinfallachse schräg angeordneter Spiegel, wobei der Spiegel durch das Spritzgießen erzeugt werden kann und daraufhin mit einer reflektierenden Schicht versehen werden kann. Entsprechend zu den oben beschriebenen Ausführungsbeispielen, ist bei diesem Ausführungsbeispiel ferner eine 25 Umverdrahtung mittels einer Umverdrahtungsstruktur 116e und einem auf derselben angeordneten Umverdrahtungskontakt 118c vorgesehen.

Ein weiteres Ausführungsbeispiel der vorliegenden Erfindung 30 wird im folgenden unter Bezugnahme auf die Fig. 12a - 12d erklärt. Bei diesem Ausführungsbeispiel wird in dem Verkapselungsmaterial ein Durchführungskontakt erzeugt, der sich von der Hauptoberfläche 114a des Chipelements 114 zu einer gegenüberliegenden Hauptoberfläche 114b des verkapselten 35 Chipelements 114 erstreckt. Gemäß Fig. 12a wird dazu in dem Verkapselungsmaterial 112 eine Ausnehmung 136 erzeugt, die sich von der Hauptoberfläche 114a zu der Hauptoberfläche 114b erstreckt. Das Erzeugen der Ausnehmung 136 kann nach

dem Spritzgießen erfolgen, beispielsweise mittels einer mechanischen Materialentfernung oder einer chemischen Entfernung. Alternativ kann die Ausnehmung 136 durch das Spritzgießen erzeugt werden, indem in der Spritzgießform 5 geeignete Formelemente zum Freihalten angeordnet sind.

In einem darauffolgenden Schritt wird die Ausnehmung 136 mit einem leitfähigen Material gefüllt, so daß ein Durchgangsleiter 138 erzeugt ist, wie es in Fig. 12b dargestellt 10 ist. Der Durchgangsleiter 138 weist dabei einen elektrischen Kontakt mit einer Umverdrahtungsstruktur 140 auf, die auf der Oberfläche 114a gebildet ist. Dadurch kann eine Umverdrahtung erreicht werden, wobei der Durchgangsleiter 138 einen Anschluß auf beiden Hauptoberflächen der Chipeinheit, d.h. auf der Hauptoberfläche 114a als auch auf der 15 Hauptoberfläche 114b, ermöglicht.

Nach dem Erzeugen des Durchgangsleiters 138 wird ein Anschlußkontakt 142 auf dem Durchgangsleiter 128 und/oder der 20 Umverdrahtungsstruktur 140 aufgebracht. Der Anschlußkontakt 142 kann beispielsweise ein Höcker sein, wie es in Fig. 12c gezeigt ist.

Alternativ zu dem oben beschriebenen Verfahren kann die 25 Durchkontaktierung auch beispielsweise durch ein Umgießen bzw. Umspritzen von Stiften oder Drähten beim Spritzgießen erfolgen.

Die Durchkontaktierungen ermöglichen den Aufbau eines 30 stapelbaren Systems aus mehreren Ebenen bzw. Lagen von verkapselten Bausteinen, so daß durch die Durchkontaktierungen ein elektrischer Kontakt von einer Ebene von Bausteinen zu der nächsten Ebene von Bausteinen ermöglicht wird.

35 Nach dem Erzeugen der Umverdrahtungsstruktur 140 auf der Oberfläche 114a wird gemäß Fig. 12d auf einer der Oberfläche 114a gegenüberliegenden Oberfläche 114b des verkapsel-

ten Chips eine weitere Umverdrahtungsstruktur 140a gebildet, die sich auf der verkapselten Masse, über den Durchgangsleiter 138 und teilweise auf der Oberfläche des Chips erstreckt. Die zusätzliche Umverdrahtungsstruktur 140a 5 ermöglicht beispielsweise, daß bei einem Stapeln der verkapselten Chips eine elektrische Verbindung, beispielsweise mittels eines Kontakthöckers, zwischen gestapelten Chips erzeugbar ist.

10 Fig. 13 zeigt ein Ausführungsbeispiel eines Chip-Stapels aus mehreren übereinander gestapelten Chipeinheiten. Gemäß Fig. 13 wird eine erste verkapselte Chipeinheit 144 und eine zweite verkapselte Chipeinheit 146 gemäß den beschriebenen Verfahren erzeugt, wobei jede der Chipeinheiten 144 und 146 einen Durchgangsleiter 138a bzw. 138b aufweist, wie es unter Bezugnahme auf die Fig. 12a-c erklärt wurde. Daraufhin werden die jeweiligen Chipeinheiten übereinander gestapelt, so daß die Durchgangsleiter 138a und 138b über einen zwischen den Durchgangsleitern angeordneten Anschluß- 15 kontakt 142 elektrisch miteinander verbunden sind. Das Aufeinanderstapeln der verkapselten Chips bzw. Bausteine kann in dem Zustand erfolgen, bei dem die jeweiligen Chips über das Verkapselungsmaterial nach dem Spritzgießen zu einer Einheit verbunden sind. Bei diesem Ausführungsbeispiel werden die gestapelten Chips 144 und 146 nach einem 20 Stapeln der mechanisch zu einer Einheit verbundenen Chips vereinzelt.

25

Patentansprüche

1. Verfahren zum Erzeugen verkapselter Chips mit folgenden Schritten:

5

Vorbereiten eines Wafers (100) mit Kontakten (104), die von einer Oberfläche (100a) des Wafers (100) vorstehen;

10

Anordnen des Wafers (100) auf einem Zerteilungssubstrat (106);

15

Vereinzeln des Wafers (100), um eine Mehrzahl von über Gräben (108) voneinander beabstandete Chips (102) auf dem Zerteilungssubstrat (106) zu erzeugen;

20

Durchführen eines Spritzgießens, um zwischen die Kontakte (104) und in die Gräben (108) ein Verkapselungsmaterial (112) einzubringen, wodurch die auf dem Zerteilungssubstrat angeordneten Chips (102) verkapselt werden; und

25

Erzeugen einer Umverdrahtungsstruktur (116; 116a; 116b; 116c; 116d; 116e; 140) aus elektrisch leitfähigem Material auf einem durch das Verkapselungsmaterial (112) gebildeten Abschnitt (112a, 112b).

30

2. Verfahren gemäß Anspruch 1, das ferner vor dem Durchführen des Spritzgießens ein Bedecken der Kontakte (104) mit einer Schutzanordnung (110) und nach dem Durchführen des Spritzgießens ein Entfernen der Schutzanordnung (110), so daß die Kontakte (104) frei-liegend sind, umfaßt.

35

3. Verfahren gemäß Anspruch 2, bei dem der Schritt des Spritzgießens folgende Schritte umfaßt:

Anordnen der Mehrzahl von Chips (102) auf dem Zerteilungssubstrat (106) in einer Spritzgießform, so daß durch die Schutzanordnung (110) und die Spritzgießform ein Hohlraum gebildet ist; und

5

Einspritzen von Verkapselungsmaterial (112) in den durch die Schutzanordnung (110) und die Spritzgießform gebildeten Hohlraum, so daß der Hohlraum mit dem Verkapselungsmaterial (112) gefüllt wird.

10

4. Verfahren gemäß Anspruch 3, bei dem der Hohlraum vor dem Durchführen des Spritzgießens ein Vakuum aufweist.

15 5. Verfahren gemäß einem der Ansprüche 1 bis 4, bei dem das Spritzgießen derart durchgeführt wird, daß eine Oberfläche des Verkapselungsmaterials (112) nach dem Spritzgießen eben mit einer Oberfläche (104a) der Kontakte (104) ist.

20 6. Verfahren gemäß einem der Ansprüche 2 bis 5, das ferner den Schritt eines Drückens der Schutzanordnung (110) auf die Kontakte (104) umfaßt.

25 7. Verfahren gemäß einem der Ansprüche 2 bis 6, bei dem die Schutzanordnung (110) eine Folie, eine auf die Kontakte (104) aufgebrachte ablösbare Schicht oder einen Abschnitt der Spritzgießform umfaßt.

30 8. Verfahren gemäß einem der Ansprüche 1 bis 7, bei dem der Schritt des Vereinzelns ferner ein Vergrößern eines Abstands zwischen den Chips (102) auf dem Zerteilungssubstrat (106) mittels einer Bearbeitung des Zerteilungssubstrats (106) zum Vergrößern einer Oberfläche des Zerteilungssubstrats (106) aufweist.

35

9. Verfahren gemäß Anspruch 8, bei dem der Schritt des Vergrößerns des Abstands zwischen den Chips (102) ein Strecken des Zerteilungssubstrats (106) umfaßt.

10. Verfahren gemäß einem der Ansprüche 1 bis 9, das ferner den Schritt eines Erzeugens eines von der Umverdrahtungsstruktur (116; 116a-e; 140) vorstehenden Umverdrahtungskontakts (118a-c; 124, 126a; 142) aufweist.
11. Verfahren gemäß einem der Ansprüche 1 bis 10, bei dem bei dem Schritt des Spritzgießens funktionale Strukturen (124; 128; 130) gebildet werden.
12. Verfahren gemäß Anspruch 11, bei dem die funktionale Struktur aus der Gruppe ausgewählt ist, die eine Ausnehmung (128), eine V-Nut (130) und einen Vorsprung (124) umfaßt.
13. Verfahren gemäß Anspruch 12, bei dem bei dem Schritt des Spritzgießens ein Vorsprung (124) gebildet wird, wobei das Verfahren ferner den Schritt eines Aufbringens einer elektrisch leitfähigen Schicht (126a) auf den Vorsatz (124) zum Bilden eines elektrischen Kontakts umfaßt.
14. Verfahren gemäß Anspruch 11 oder 12, bei dem die funktionale Struktur eine Justiermarkierung, eine Struktur zur Montageunterstützung oder eine Struktur (130) zum Anordnen eines Lichtleiters (132) umfaßt.
15. Verfahren gemäß einem der Ansprüche 1 bis 14, das ferner den Schritt eines Erzeugens eines Durchführungskontakts (138; 138a; 138b) in dem Verkapselungsmaterial (112) aufweist.
16. Verfahren gemäß Anspruch 15, bei dem der Schritt des Erzeugens eines Durchführungskontakts (138) den Schritt eines Anordnens eines elektrisch leitfähigen Stifts in den Gräben (108) aufweist, so daß bei dem

Schritt des Spritzgießens der Stift von dem Verkapselungsmaterial (112) ausgekleidet wird.

17. Verfahren gemäß einem der Ansprüche 1 bis 16, bei dem
5 zusätzlich zu der einen Umverdrahtungsstruktur (116;
116a; 116b; 116c; 116d; 116e; 140) eine weitere Umver-
drahtungsstruktur auf einer zweiten Oberfläche des Wa-
fers (100) vorgesehen ist, die der Oberfläche, auf der
die Kontakte gebildet sind, gegenüberliegt.

10

18. Verfahren gemäß einem der Ansprüche 1 bis 17, bei dem
vor dem Verkapseln auf der Oberfläche (100a) des Wa-
fers (100) Funktionseinheiten (120; 134) montiert wer-
den.

15

19. Verfahren zum Erzeugen eines Stapels aus verkapselten
Chips mit folgenden Schritten:

20 Erzeugen erster verkapselter Chips (144) gemäß einem
der Ansprüche 1 bis 18;

Erzeugen zweiter verkapselter Chips (146) gemäß einem
der Ansprüche 1 bis 18; und

25 Anordnen der ersten verkapselten Chips (144) über den
zweiten verkapselten Chips (146), so daß ein Stapel
von verkapselten Chips gebildet ist.

20. Verfahren gemäß Anspruch 19, das ferner folgende
30 Schritte aufweist:

Erzeugen eines ersten Durchgangsleiters (138a) in ei-
nem das Verkapselungsmaterial (112) aufweisenden Ab-
schnitt der ersten verkapselten Chips (144);

35

Erzeugen eines zweiten Durchgangsleiters (138b) in ei-
nem das Verkapselungsmaterial (112) aufweisenden Ab-
schnitt der zweiten verkapselten Chips (146); und

5

Anordnen eines Anschlußkontakte (142) zwischen dem ersten Durchgangsleiter (138a) und dem zweiten Durchgangsleiter (138b), wodurch dieselben elektrisch verbunden sind.

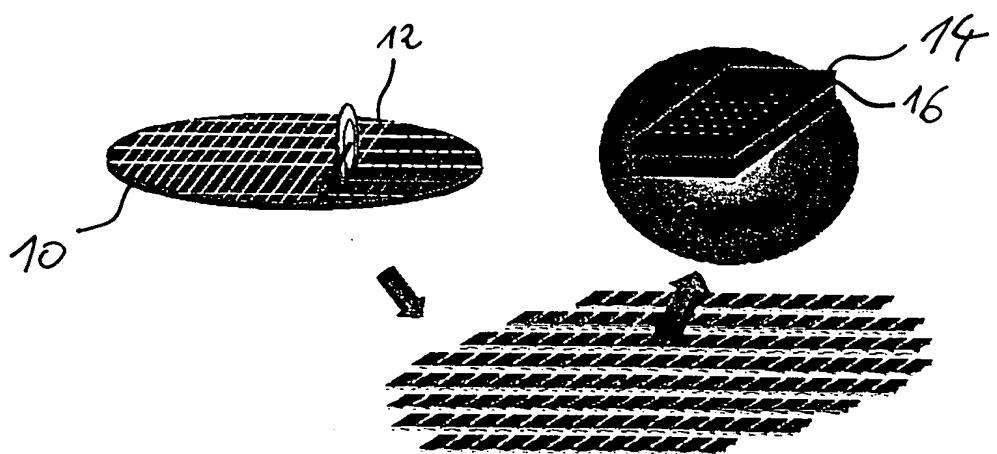
Verfahren zum Erzeugen verkapselter Chips

Zusammenfassung

5

Ein Verfahren zum Erzeugen verkapselter Chips umfaßt ein Vorbereiten eines Wafers mit Kontakten, die von einer Oberfläche des Wafers vorstehen. Der Wafer wird auf einem Zerteilungssubstrat angeordnet und in eine Mehrzahl von 10 beabstandeten Chips auf dem Zerteilungssubstrat vereinzelt. Die Kontakte werden mit einer Schutzanordnung bedeckt, wobei daraufhin ein Spritzgießen durchgeführt wird, um ein Verkapselungsmaterial in die Kontakte und die Gräben einzubringen. Daraufhin wird die Schutzanordnung entfernt, so 15 daß die Kontakte freiliegend sind.

Stand
der Technik



Stand der Technik

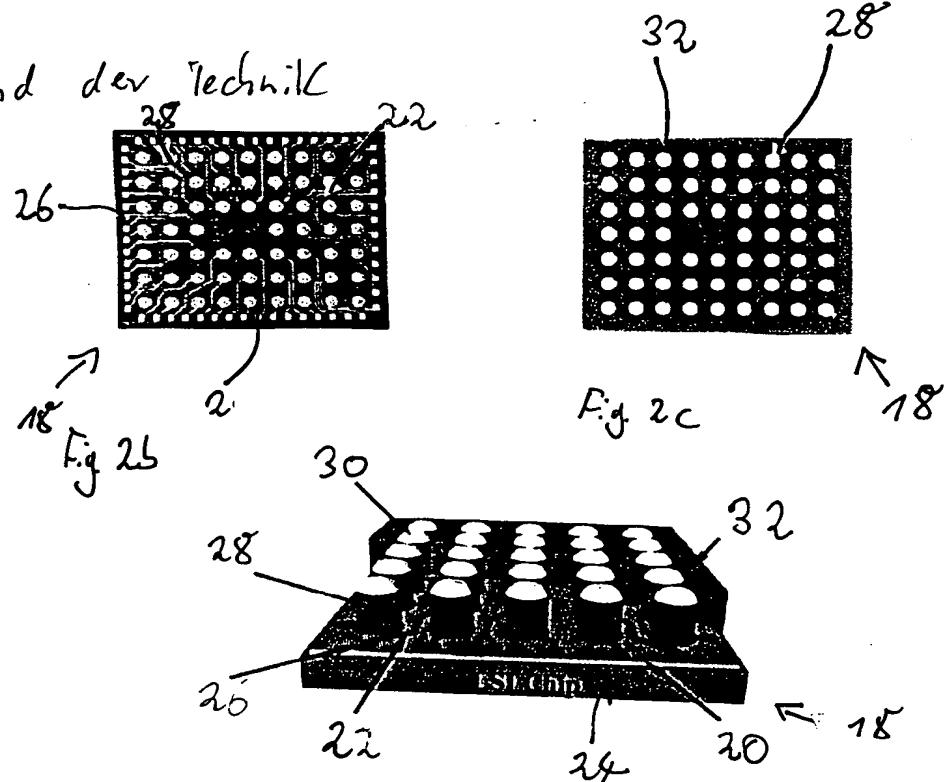


Fig. 2a

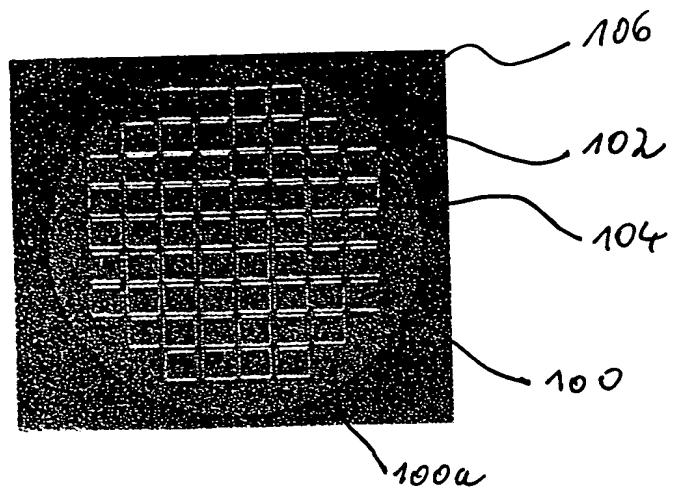


Fig. 3a

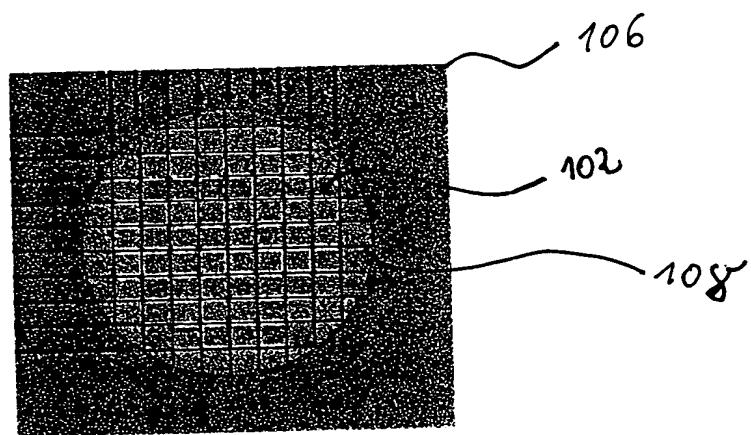


Fig. 3b

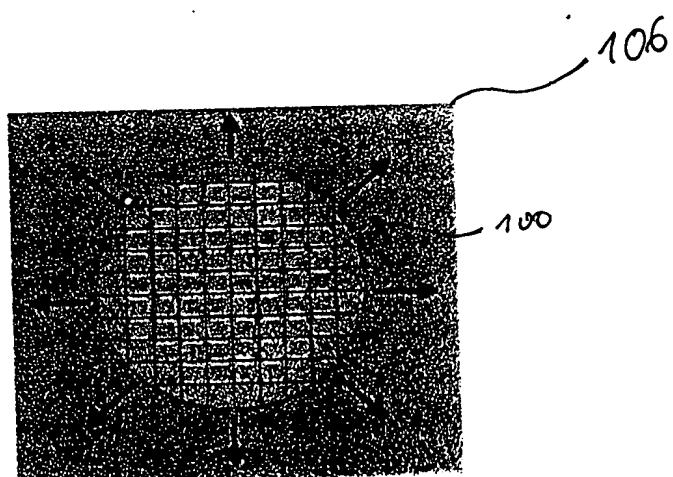


Fig. 3c

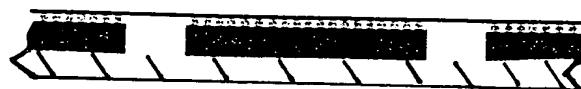
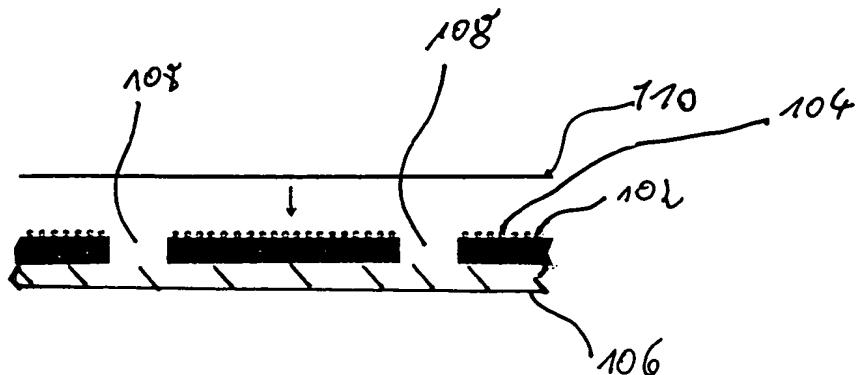


Fig. 4b

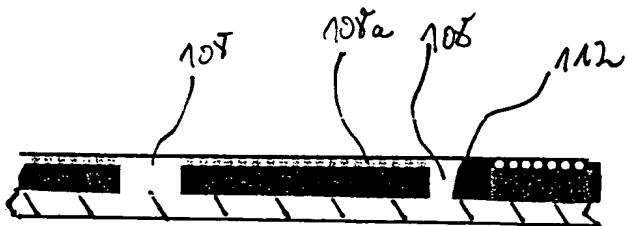


Fig. 4c

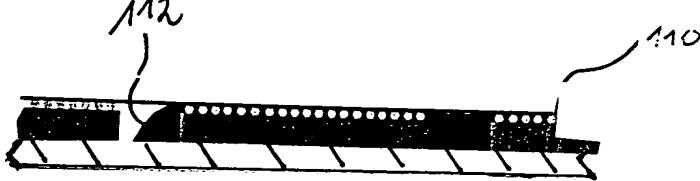


Fig. 4d

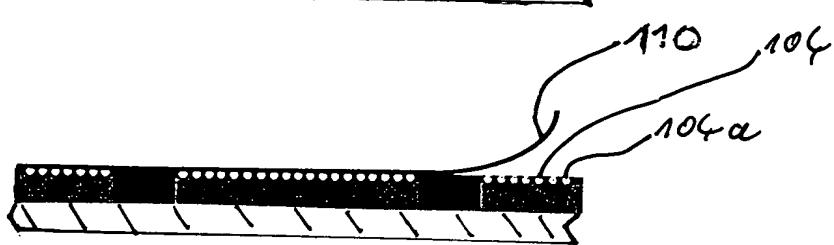


Fig. 4e

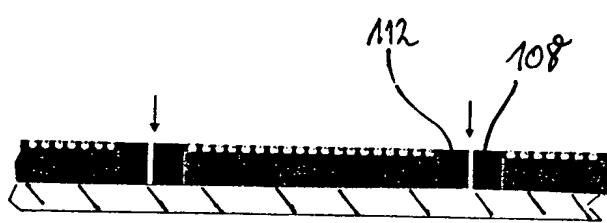


Fig. 4f

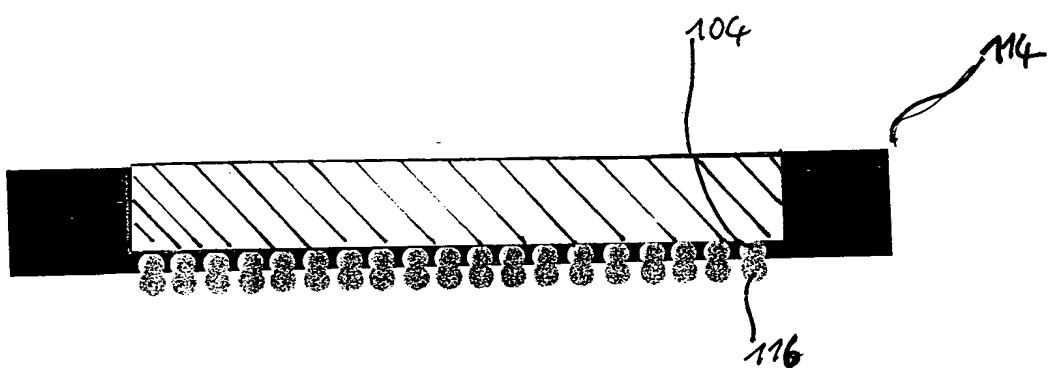
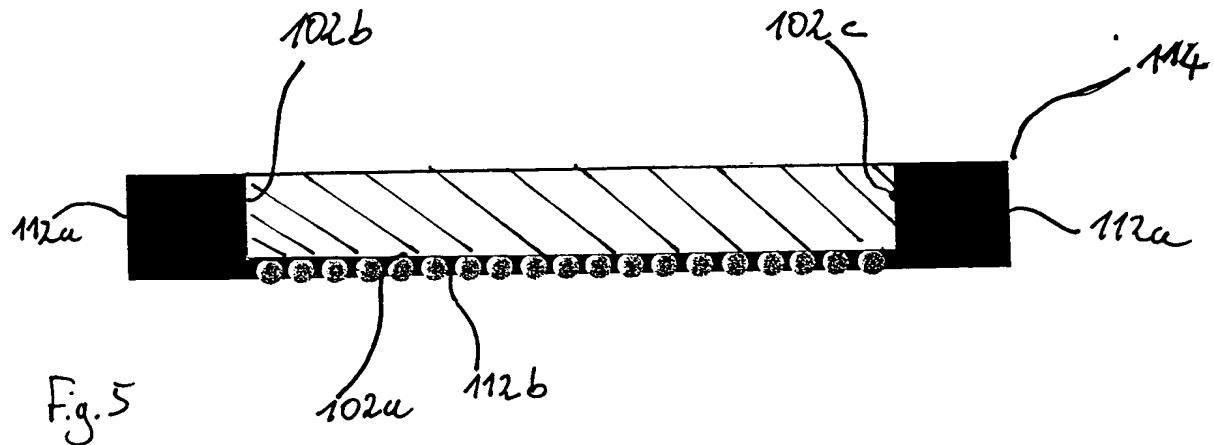


Fig. 6

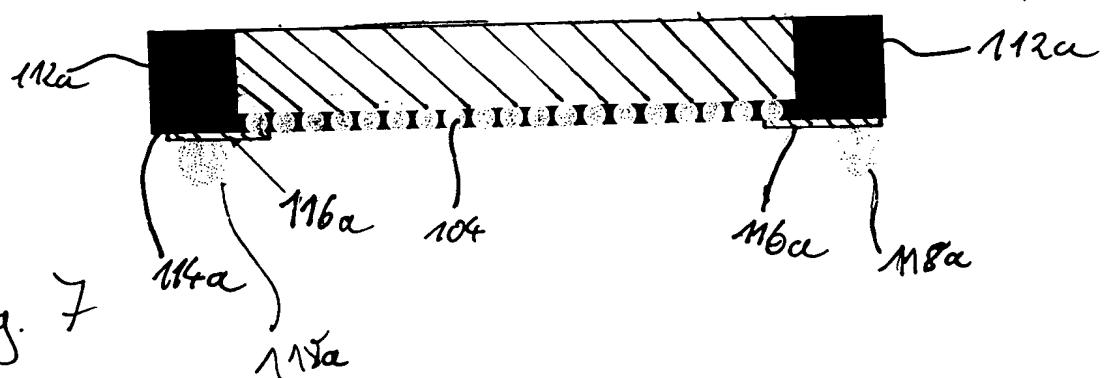


Fig. 8

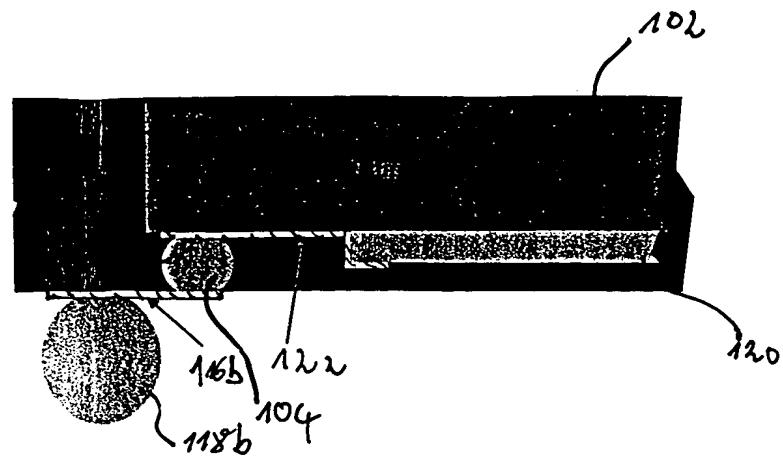


Fig. 9

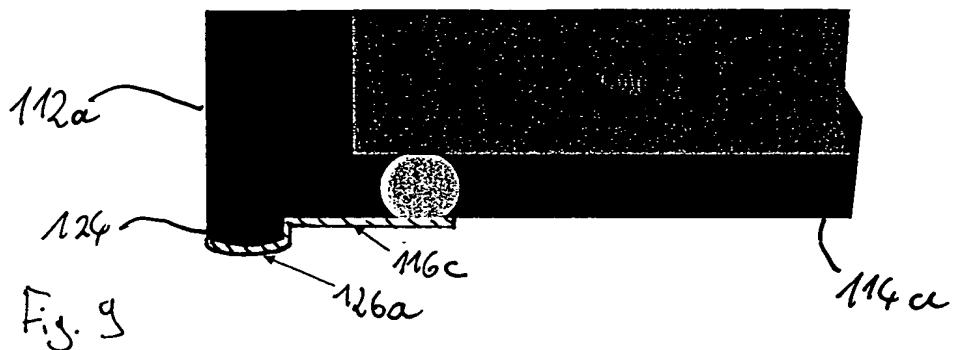


Fig. 10

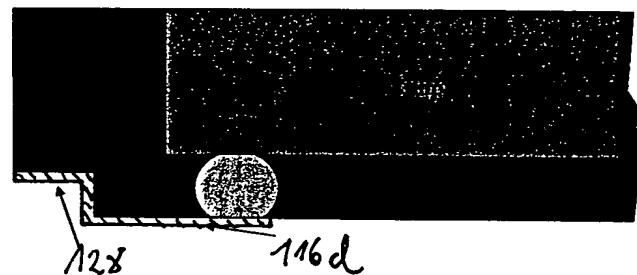


Fig. 11a

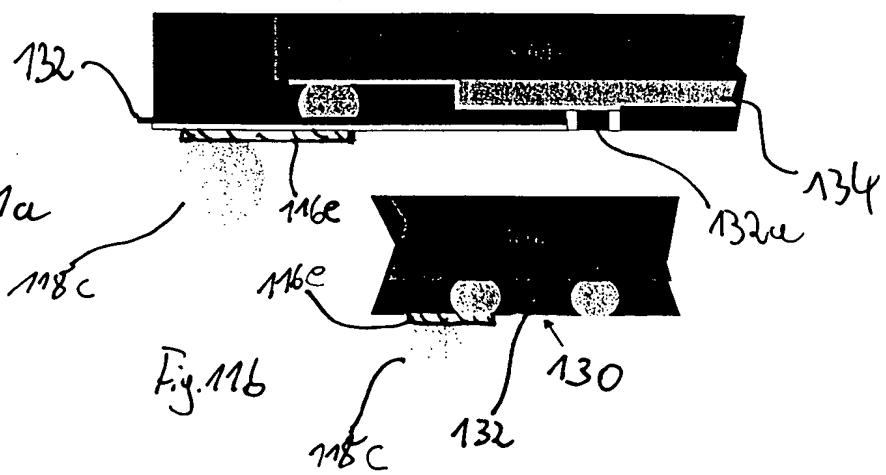
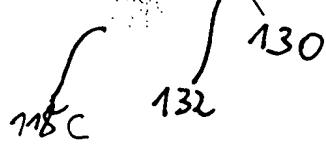


Fig. 11b



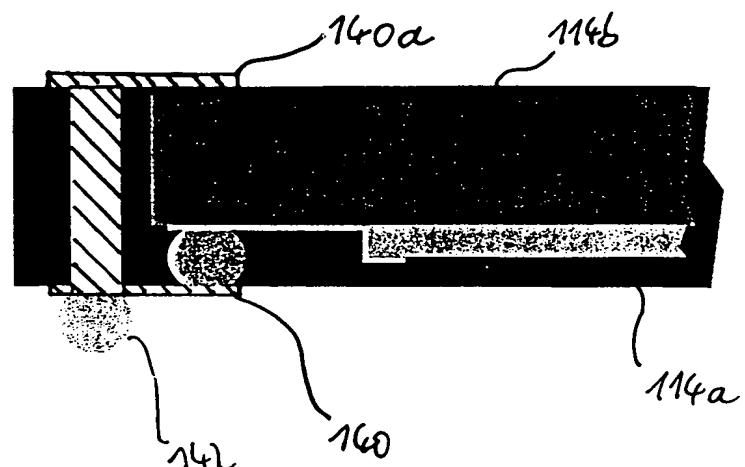


Fig. 12d

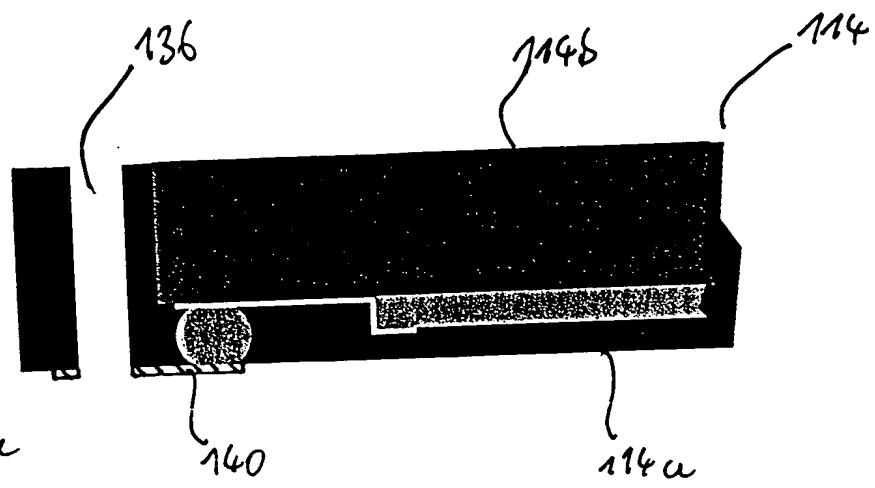


Fig. 12a

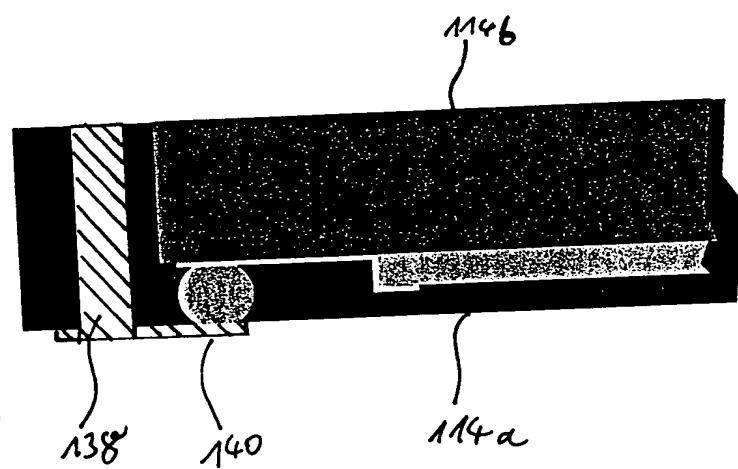


Fig. 12b

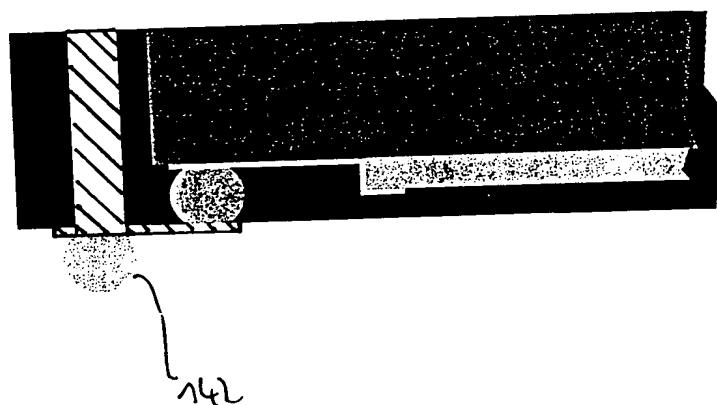


Fig. 12c

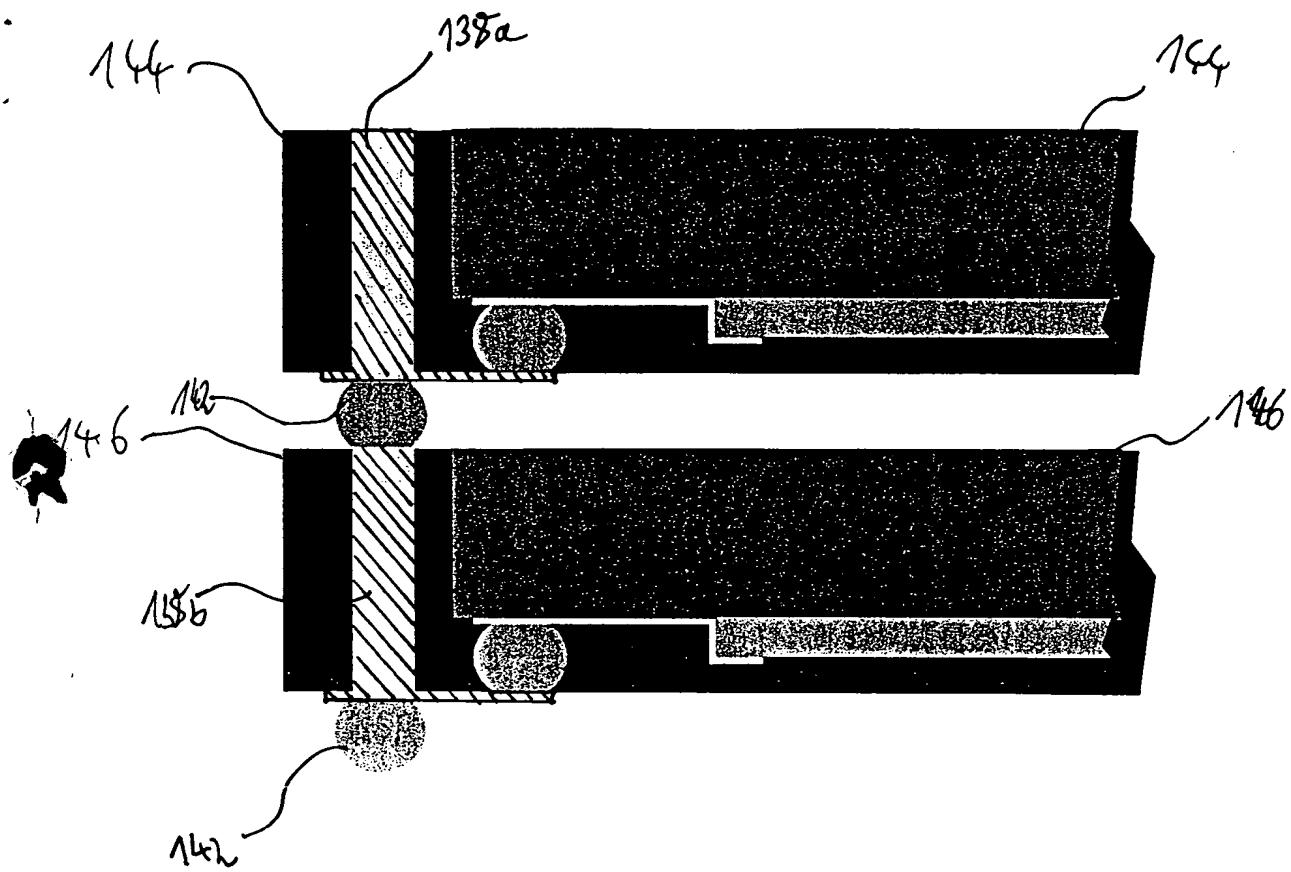


Fig. 13